

## Master and Engineer Internship: 2018-2019

Proposed by : François Danneville, Jean Martinet

Phone number : 0320197936

E-mail : [francois.danneville@univ-lille.fr](mailto:francois.danneville@univ-lille.fr), [jean.martinet@univ-lille.fr](mailto:jean.martinet@univ-lille.fr), Research groups : ANODE (IEMN) / FOX (CRISTAL)

### Conception d'un circuit dédié à la reconnaissance par apprentissage de mouvement

#### Abstract :

L'intelligence artificielle, la robotique cognitive, sont des technologies en pleine croissance utilisant des réseaux de neurones implantés le plus souvent sur processeur classique, et donc consommant beaucoup de mémoire et d'énergie. Pour y remédier, les réseaux de neurones à spikes (RNS) analogiques connaissent un regain considérable, car ils permettent d'améliorer de façon drastique l'efficacité énergétique. Dans ce contexte, l'Equipe « SPINE » d'IEMN/IRCICA a développé des neurones artificiels (NA) en technologie CMOS à haute efficacité énergétique optimisée pour le calcul analogique bio-inspiré. A partir de cette technologie, une boîte à outils (BoA) comprenant les neurones, des synapses à poids fixes ainsi que des synapses plastiques, a été développée. Si cette BoA permet d'ores et déjà la conception de RNS de taille réduite avec l'outil Ltspice, elle n'est à ce jour pas adaptée (temps de simulation prohibitifs, manque de flexibilité, etc...) pour une mise à l'échelle plus ambitieuse comprenant quelques centaines de neurones et quelques milliers de synapses.

Le sujet de Master proposé s'inscrit pleinement dans ce besoin de « mise à l'échelle » de la technologie, en collaboration avec l'équipe « FOX » de CRISTAL et comprendra :

- la prise en mains de la BoA avec le logiciel LTspice
- le développement de la BoA dans l'environnement logiciel « Brian » (programmation Python), passerelle qui permettra la mise à l'échelle de la technologie neuromorphique
- **la conception d'un circuit dédié à la reconnaissance par apprentissage de mouvement.**

La conception du circuit constituera une part importante du stage. L'étudiant aura en charge la définition de la tâche visée, la topologie du RNS ainsi que son paramétrage, en s'appuyant sur des simulations avec Brian. Une fois que la conception du circuit sera figée, un soin particulier sera porté pour en évaluer les performances, en particulier: (i) le taux de reconnaissance, (ii) la puissance consommée en veille (pas d'activité en entrée du réseau), (iii) la puissance/énergie consommée lors de la phase d'apprentissage, (iv) la puissance/énergie consommée du circuit en fonctionnement.