

Discipline : Micro et Nano Technologies,
Acoustique et Télécommunications

Nom du candidat : Răzvan-Cristian MARIN

Président de Jury

Directeur de Thèse

A. KAISER

Rapporteurs

N. DELTIPLE

J. RYYNÄNEN

Membres

A. CATHELIN

H. SJÖLAND

C. LOYEZ

TITRE DE LA THESE

**Transmetteurs Radiofréquences Numériques Fortement Parallélisés
avec Amplificateur de Puissance Commuté et Filtre de Bande
Embarqués en Technologie 28nm FD-SOI CMOS**

**Highly Parallel Digital RF Transmitter with Switch-Mode Power
Amplifier and Embedded Band Filter in 28nm FD-SOI CMOS**

RESUME

Le présent travail de thèse porte sur l'étude, la conception et la démonstration d'émetteurs entièrement numériques, ciblant des standards de communication avancés pour les applications mobiles dans le cadre de l'Internet des Objets (IoT). Les innovations clés sont le modulateur Delta-Sigma (DSM) entrelacé et un amplificateur de puissance à réponse impulsionnelle finie (FIR-PA) basé sur une structure efficace à capacités commutées (SC). Le block FIR-PA utilise uniquement des inverseurs CMOS et des condensateurs dans une configuration SC, ce qui est entièrement compatible avec les nœuds technologiques CMOS avancés.

Le prototype est implémenté dans une technologie 28nm FD-SOI CMOS avec 10 couches métalliques et un contrôle amélioré de la tension du substrat. L'émetteur RF numérique atteint un nombre de bits effectif de 13.5 dans la bande de signal utile et est compatible avec le standard LTE 900 MHz.

Le circuit consomme 35 mW à une puissance de sortie maximale de 2.9 dBm et une alimentation de 1 V. Par rapport à l'état de l'art, à des niveaux de puissance de sortie similaires, le FIR-PA consomme 7 fois moins qu'un DAC 10-bit intégrant des modulateurs delta-sigma et 25% moins qu'un DAC résistif 12-bit. La surface active totale est de 0.047 mm², soit 4 fois moins que le plus petit circuit publié précédemment.

Par conséquent, ce travail se distingue par une faible consommation d'énergie grâce à la l'architecture 1-bit combinée au filtrage de bande et par la surface réduite obtenue par l'intégration efficace des cellules du FIR-PA. Il démontre la transition de l'émetteur analogique traditionnel à l'émetteur numérique intégré ciblant l'avenir des applications mobiles.

The present PhD work covers the study, design and demonstration of all-digital transmitters targeting advanced communication standards for mobile applications in the frame of the Internet of Things (IoT). Key innovations are time-interleaved Delta-Sigma modulators (DSM) and a power and area-efficient switched-capacitor (SC) finite impulse response power amplifier (FIR-PA). The common FIR-PA block uses exclusively inverters and capacitors in a switched-capacitor configuration, thus being fully compatible with advanced CMOS technology nodes.

The prototype is integrated in 28nm FD-SOI CMOS technology with 10 metal layers and body biasing fine-tuning features. The proposed digital RF transmitter achieves 13.5 in-band effective number of bits and is 900 MHz LTE-compliant.

The overall power consumption is 35 mW at 2.9 dBm peak output power and 1V supply. With respect to relevant state-of-the art, at similar output power levels, the FIR-PA consumes 7 times less than a 10-bit DSM-based DAC and 25% less than a 12-bit resistive DAC. The total active area is 0.047 mm², at least 4 times lower than the smallest previously published work.

Consequently, this work stands out for low power consumption thanks to the single-bit core solution combined with band filtering and low area achieved with a multi-layer FIR-PA cell structure. It demonstrates the transition from traditional analog to highly integrated digital-intensive transmitters targeting the future of mobile applications.

**Soutenance le 23 novembre 2017 à 9h00
Amphi Jean-Noël Décarpigny, ISEN Lille**