

Combinaison de faible résistance d'accès et de forte tension de claquage sur des transistors à base de GaN sur substrat de silicium

L'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) en France et la compagnie EpiGaN basée en Belgique ont annoncé une combinaison record en terme de résistance à l'état passant et de tension de claquage sur des transistors à double hétérojonction utilisant un canal en GaN et une couche de barrière en AlN dont la croissance est réalisée sur substrat de silicium (N. Herbecq *et al*, Appl. Phys. Express, 034103, 2014).

Les deux équipes sont parvenues à maîtriser le problème de conduction parasite sous très fort champ électrique par gravure localisée du substrat en face arrière spécifiquement entre les électrodes de grille et de drain. Cette innovation technologique couplée à une configuration de couche d'épitaxie optimisée pour délivrer de forte densité de courant leur a permis de démontrer une combinaison unique avec une tension de claquage de 1.9 kV associée à une résistance à l'état passant de 1.6 mΩcm².

La croissance des couches d'épitaxies a été réalisée par MOCVD (*Metal-Organic Chemical Vapor Deposition*) sur un substrat de silicium de 100 mm de diamètre (Figure 1). Une couche superficielle de SiN déposée *in-situ* permet non seulement de passiver très tôt la surface mais aussi de réduire fortement le phénomène de relaxation des contraintes et rend ainsi la surface beaucoup plus robuste.

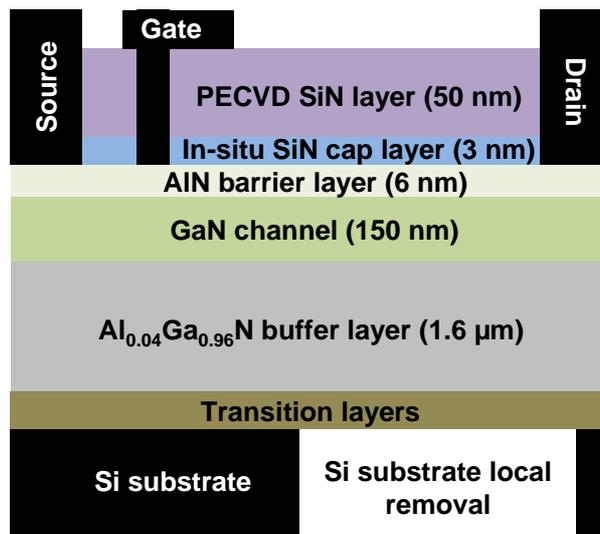


Figure 1 : Schéma de la double hétérojonction AlN/GaN/AlGaN avec gravure localisée du substrat

L'utilisation d'une barrière en AlN procure une densité de charge dans le canal extrêmement élevée de l'ordre de $2.3 \times 10^{13}/\text{cm}^2$ avec une mobilité électronique de $990 \text{ cm}^2/\text{V}\cdot\text{s}$. La résistance carré de l'épitaxie est de $280 \text{ } \Omega/\text{cm}$. Le composant inclut une couche tampon en AlGaN afin d'améliorer le confinement des électrons sous fort champ électrique.

La fabrication du transistor commence par la formation des contacts ohmiques (Ti/Al/Ni/Au) sur la barrière d'AlN après gravure de la couche superficielle de SiN. L'isolation est ensuite réalisée par implantation. Puis, une couche de passivation en Si₃N₄ est déposée par PECVD (*Plasma-Enhance Chemical Vapor Deposition*). L'électrode de grille est alors formée par gravure à travers la couche de

SiN et par dépôt des métaux Ni/Au. La longueur de grille est de 1.5 μm et la distance grille-drain varie de 2 à 15 μm .

Le procédé de fabrication continue en face arrière avec l'amincissement et le polissage du substrat à 230 μm suivi d'une gravure profonde jusqu'à la couche tampon localisée autour de l'électrode de drain par RIE (*Reactive-Ion Etch*). La dimension des tranches ainsi obtenues est de 20 μm .

Les performances statiques des composants avec gravure localisée montrent une légère dégradation du courant de saturation et de la transconductance dû à la réduction de la dissipation thermique. Néanmoins, un courant de saturation élevé de 0.5 A/mm est maintenu après gravure en face arrière donnant lieu à une faible résistance spécifique à l'état passant de 1.6 $\text{m}\Omega\text{-cm}^2$.

Les mesures de tension de claquage réalisées à l'état bloqué ($V_{\text{GS}} = -5 \text{ V}$) montrent une tenue en tension de 750 V du composant sans gravure localisée possédant une distance grille-drain de 15 μm . La limitation est attribuée à la conduction parasite à travers le substrat de silicium. Après gravure localisée, la tenue en tension augmente de manière drastique à 1.9 kV sur ce même composant du fait de la suppression de cette limitation (Figure 2); ce qui représente la meilleure combinaison en terme de résistance à l'état passant et de tension de claquage démontrée à ce jour sur un transistor à base de GaN sur substrat de silicium (Figure 3).

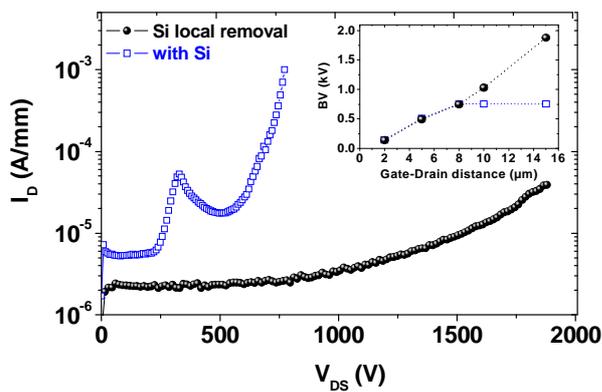


Figure 2 : Caractéristiques à l'état bloqué des composants AlN/GaN-sur-silicium ayant une distance grille-drain de 15 μm

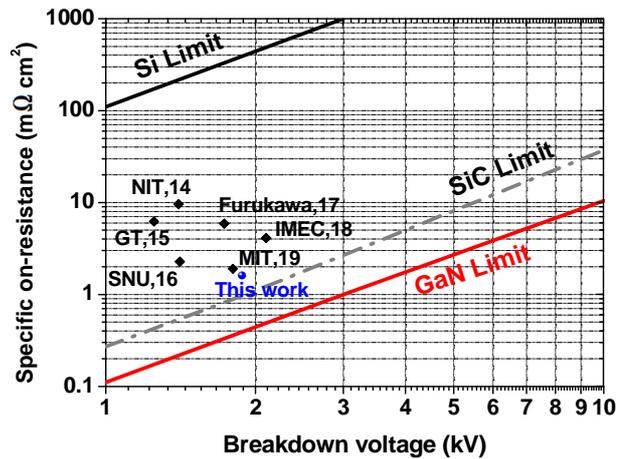


Figure 3 : Etat de l'art de la résistance spécifique à l'état passant en fonction de la tension de claquage pour les transistors GaN-sur-silicium au-delà de 1 kV

Les chercheurs pensent que cette approche pourrait permettre d'atteindre 3 kV sur des composants GaN-sur-silicium par l'extension de la distance grille-drain à 30 μm tout en maintenant une faible résistance à l'état passant inférieure à 5 $\text{m}\Omega\text{-cm}^2$. Ce qui permettrait d'envisager l'utilisation de cette filière pour des applications au-delà de 1 kV et ainsi réduire de manière significative la taille des modules existants dans ce cadre ainsi que d'augmenter leur efficacité énergétique.