

**Nom du candidat : Fikre Tsigabu GEBREYOHANNES**

## JURY

### Président de Jury

### Directeur de Thèse

**A. KAISER**

### Rapporteurs

**Y. DEVAL**  
**H. ABOUSHADY**

### Membres

**D. BELOT**  
**C. GAQUIERE**  
**P. DESGREYS**

## TITRE DE LA THESE

**Processeur Numérique/RF Adaptatif pour Émetteur Sans Fil  
Multi-bandes Multi-standard Faible Consommation à 5 GHz et 60 GHz**

**Scalable Digital-to-RF Processor for Multi-standard  
and Multi-band Wireless Transmitter in 5 GHz and 60 GHz**

## RESUME

La prolifération des standards de communication sans fil, spécifiques aux applications, a abouti à la multiplication des standards et des dispositifs pour un seul scénario utilisateur d'aujourd'hui. Par conséquent, le domaine de la recherche dans les multi-standard, les systèmes multi-bandes, architectures, et circuits a été un thème populaire. La perspective est d'avoir des dispositifs qui peuvent être adaptés aux différents réseaux tout en offrant d'excellentes fonctionnalités sur les différents technologies d'accès radio.

Les architectures d'émetteurs configurables ciblant les cas d'utilisation complémentaires des multistandards multi-Gb/s WiFi-WiGig ont été étudiées. Des approches novatrices basées sur des DAC FIR semi-numériques configurables à grande vitesse sont proposées.

Dans ces architectures, le masque émetteur et les exigences de linéarité sont respectées, car le FIR DAC à un seul bit est linéaire et combine dans sa fonctionnalité à la fois la conversion numérique-analogique et le filtrage du bruit. Un modulateur delta-sigma peut être utilisé pour la conversion de résolution de sorte que les signaux en bande de base avec une large gamme de bandes passantes et de résolutions sont traités.

Les DAC de FIR nécessitent des filtres longs avec des coefficients de résolution élevés pour atteindre des niveaux d'atténuation de stopband satisfaisants aux exigences de bruit hors bande. Normalement, cela limite le fonctionnement multi-standard à grande vitesse et se traduit par une grande surface de silicium et un layout complexe. Dans ce travail, les techniques de conception de circuits sont développées de sorte qu'un élément de circuit unitaire réalisant un coefficient d'une fonction de transfert peut être réutilisé dans la réalisation d'un coefficient d'une autre fonction de transfert. Cette capacité multimodale de partage du matériel du FIR DAC est maximisée par optimisation du coefficient au niveau du système. Le travail propose également des topologies qui exploitent le traitement du signal numérique sur des noeuds avancés pour mettre en oeuvre la modulation en quadrature tout en réalisant la conversion, la conversion numérique-analogique, filtrage d'image et la quantification dans un bloc FIR DAC à bande passante configurable.

Une puce prototype de filtre passe-haut FIR DAC qui peut être configuré pour le fonctionnement de l'IEEE 802.11ac et l'IEEE 802.11ad a été mise en oeuvre sur une technologie CMOS 28nm FDSOI de STMicroelectronics. Le test de cette puce a démontré la validité des architectures d'émetteur proposées. La puce prototype peut traiter des signaux des bandes de base aussi larges que 63,63 MHz et 300 MHz à une fréquence d'horloge de 1,4 GHz avec une consommation de 103,07 mW dans le 802.11ac et 86,89mW dans le mode 802.11ad.

Proliferation of application specific wireless communication standards have resulted in the multiple standards, multiple devices for one user scenario of today. Consequently, research in multi-standard, and multi-band systems, architectures, and circuits has been a popular theme. The vision is to have devices which can hop seamlessly from one network to the other while delivering excellent functionality on different radio access technologies.

Configurable transmitter architectures targeting complementary use cases of the multi-Gb/s WiFi-WiGig standards has been studied. Novel approaches based on high speed configurable semi-digital FIR DACs are proposed and published in international journal. In this architectures, transmitter mask and linearity requirements are respected because the single-bit FIR DAC is inherently linear and combines in its functionality both digital-to-analog conversion and filtering of noise. A delta-sigma modulator can be employed for resolution conversion so that baseband signals with wide range of bandwidths and resolutions are processed.

FIR DACs require long filters with high resolution coefficients to achieve stopband attenuation levels that meet out-of-band noise requirements. Normally, this limits high speed multi-standard operation, and results in large silicon area and complex layout. In this work, circuit techniques are developed so that a unit circuit element realizing a coefficient of one transfer function can be re-used in realizing a different-valued coefficient of another transfer function. This multi-modal hardware-sharing capability of the FIR DAC is maximized by system-level coefficient optimization.

The work also proposes topologies that exploit digital signal processing at advanced nodes to implement quadrature modulation while realizing up conversion, digital-to-analog conversion and image and quantization filtering in one configurable passband FIR DAC block.

A prototype high pass filter FIR DAC chip which can be configured for the operation of the IEEE 802.11ac and IEEE 802.11ad standards was implemented in STMicroelectronics R CMOS 28nm FDSOI technology. The test of this chip has demonstrated the validity of the proposed transmitter architectures. The prototype chip can process baseband signals as wide as 63.63 MHz and 300 MHz at a clock frequency of 1.4 GHz while consuming 103.07 mW in the 802.11ac and 86.89 mW in the 802.11ad modes.

**Soutenance le 19 décembre 2016 à 10h30**  
**Amphi LCI**